

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05021703 A**

(43) Date of publication of application: **29.01.93**

(51) Int. Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/28

H01L 23/29

H01L 23/31

H01L 23/50

(21) Application number: **03170885**

(22) Date of filing: **11.07.91**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **TOBIMATSU HIROSHI**

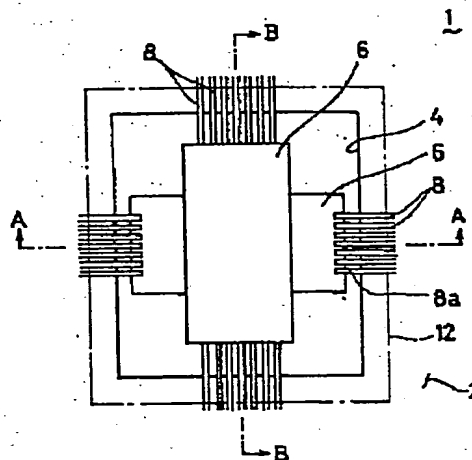
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To obtain a tape carrier package type semiconductor device which is much higher in packaging density than a conventional one.

CONSTITUTION: A device hole 4 is formed on a tape base material 2, wherein a plurality of semiconductor chips 6, 6 are sequentially laminated via insulation layers on a position of the device hole 4 while leads 8 formed on the tape base materials 6, 6 are extended over the device hole 4 as inner leads 8a to be individually connected to the respective semiconductor chips 6, 6. Thus the semiconductor chips 6, 6, the device hole 4 and the inner leads 8a are all sealed with a resin material to be constituted as a single tape carrier package.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21703

(43) 公開日 平成5年(1993)1月29日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
		7220-4M	H 0 1 L 25/08	B
		8617-4M	23/30	B

審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く

(21) 出願番号 特願平3-170885

(22) 出願日 平成3年(1991)7月11日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 飛松 博

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

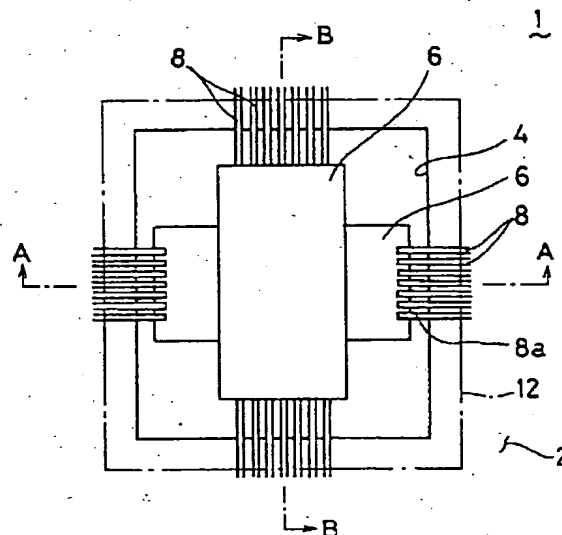
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 従来よりも一層実装密度の高いテープキャリアパッケージ方式の半導体装置が得られるようにする。

【構成】 テープ基材2にはデバイスホール4が形成され、このデバイスホール4の位置に複数の半導体チップ6、6が絶縁層を介して順次積層され、かつ、テープ基材6、6上に形成されたリード8がデバイスホール4上にインナリード8aとして延設されて各半導体チップ6、6に個別に接続され、半導体チップ6、6、デバイスホール4、およびインナリード8aがいずれも樹脂材料で封止されて1つのテープキャリアパッケージとして構成されている。



【特許請求の範囲】

【請求項1】 テープ基材にはデバイスホールが形成され、このデバイスホールの位置に複数の半導体チップが絶縁層を介して順次積層され、かつ、前記テープ基材上に形成されたリードがデバイスホール上にインナリードとして延設されて前記各半導体チップに個別に接続され、前記各半導体チップ、デバイスホール、およびインナリードがいずれも樹脂等の封止材で封止されて1つのテープキャリアパッケージとして構成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に係り、特に表面実装型のテープキャリアパッケージ(以下、TCPという)の構造に関する。

【0002】

【従来の技術】 一般に、半導体装置としてのTCPは、テープ基材上に予め形成されたインナリードに対して半導体チップをバンパを用いて接合した後、この半導体チップを樹脂封止し、次に、テープ基材に形成されたアウトリードを打ち抜き等により切り離すことにより製作される。

【0003】 図7は、このような一つのTCPをプリント基板に実装した状態を示す断面図である。

【0004】 同図において、aはTCP、bはプリント基板、cは半導体チップ、dは封止樹脂、eはバンパ、fはインナリード、gはテープ基材、hはアウトリード、iはプリント基板b上に形成された金属配線層、jはアウトリードhを金属配線層iに接合するための半田である。

【0005】

【発明が解決しようとする課題】 ところで、多数の回路素子を組み合わせて一つのデバイスを構成するために、図8に示すように、一つのプリント基板b上に回路素子としての各TCPaをそれぞれ異なる位置に平面的に配置する場合、実装面積が多くなり、小型化が困難である。

【0006】 その対策として、たとえば、図9に示すように、各TCPaをプリント基板bの同一箇所に積み重ねることが考えられる。

【0007】 しかしながら、この場合は、前者の場合と比較すると実装面積は少なくてすむものの、TCPaの数が多くなればなるほど、全体として嵩が高くなり、表面実装型としてのTCPの利点が損なわれる。

【0008】

【課題を解決するための手段】 本発明は、上述した課題を解決するためになされたもので、従来よりも一層実装密度の高いTCP方式の半導体装置が得られるようになるものである。

【0009】 そのため、本発明の半導体装置では、テープ基材にはデバイスホールが形成され、このデバイスホ

ールの位置に複数の半導体チップが絶縁層を介して順次積層され、かつ、前記テープ基材上に形成されたリードがデバイスホール上にインナリードとして延設されて前記各半導体チップに個別に接続され、前記半導体チップ、デバイスホール、およびインナリードがいずれも樹脂等の封止材料で封止されて1つのTCPとして構成されるようにした。

【0010】

【作用】 上記構成によれば、複数の半導体チップを積層し、各半導体チップがインナリードに接合された後、全体を封止して一つのTCPとしているため、これをプリント基板等に実装する際には、従来のように、多数のTCPをプリント基板に平面的に並べる場合よりも実装面積は少なくてすみ、また、従来のように、完成された個々のTCPを積層する場合よりも全体を薄肉にすることができる。

【0011】

【実施例】 図1は本発明の実施例に係る半導体装置の平面図、図2は図1のA-A線に沿う断面図、図3は図1のB-B線に沿う断面図である。

【0012】 これらの図において、符号1はTCP方式の半導体装置の全体を示し、2はポリイミドテープなどでできたテープ基材、4はテープ基材2を上下に貫通して形成された方形のデバイスホール、6、6はこのデバイスホール4の位置において互いに直交して積層配置された複数(本例では2つ)の半導体チップである。

【0013】 図中、下側の半導体チップ6は上面に、上側の半導体チップ6には下面にそれぞれ回路パターンが形成されており、したがって、本例では、両半導体チップ6、6は、回路パターンの形成面(表面)同士が対面している。この場合、各半導体チップ6、6の回路パターンの形成面上には、回路パターンの損傷を防止するため、予めポリイミド樹脂等の保護膜(図示省略)が薄く均一に塗布されており、したがって、両半導体チップ6、6はこの保護膜が絶縁層として作用するため、互いの回路パターン同士が短絡することはない。

【0014】 一方、テープ基材2上には予めデバイスホール4の各辺にCu箔等からなるリード8が形成されており、これらの各リード8はデバイスホール4上にインナリード8aとして延設されて各半導体チップ6、6のバンパ10を介して個別に接続されている。そして、各半導体チップ6、6、デバイスホール4、およびインナリード8aを含むかたちでいずれも樹脂等の封止材料12で封止されている。

【0015】 なお、図示省略しているが、各リード8の他端は、テープ基材2よりも外方に延設されてアウトリードとしてプリント基板等に接続できるようにフォーミング加工されている。

【0016】 したがって、この半導体装置1を製作するには、各半導体チップ6、6を重ね合せた後、各バンパ

3

8にインナリード8を接合し、次に、これらの各半導体チップ6、6、デバイスホール4、およびインナリード8aをいずれも樹脂等の封止材料12で封止し、アウトリードが切断されてTCPとなる。

【0017】なお、各半導体チップ6、6の重ね合せの都合上、図4に示すように、半導体チップ6、6の回路パターンの非形成面(裏面)どうしが互いに対面するように積層される場合には、そのままでは短絡の恐れがあるので、両半導体チップ6、6の間に必ず絶縁層14を介在させる必要がある。

【0018】また、上記の実施例では、2つの半導体チップ6、6が互いに直交配置される場合を示したが、これに限定されるものではなく、各半導体チップ6、6に接続されるリード8が互いに重ならない配線パターンをテープ基材2上に形成することができれば、たとえば、図5に示すような接合の仕方であってもよい。さらに、半導体チップの数も2個に限らず、図6に示すように多数の半導体チップ6を積層することも可能である。

【0019】

【発明の効果】本発明によれば、複数の半導体チップを積層し、各半導体チップがインナリードに接合された後、全体を封止して一つのTCPとしているため、高密度実装でかつ比較的薄肉の半導体装置が得られるように

なる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置の平面図である。

【図2】図1のA-A線に沿う断面図である。

【図3】図1のB-B線に沿う断面図である。

【図4】本発明の他の実施例に係る半導体装置の断面図である。

【図5】本発明の他の実施例に係る半導体装置の平面図である。

【図6】本発明の他の実施例に係る半導体装置の平面図である。

【図7】従来の半導体装置をプリント基板に実装した状態を示す断面図である。

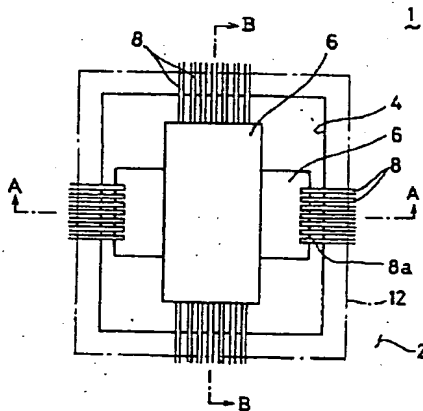
【図8】従来技術として、一つのプリント基板に多数の半導体装置を散在的に実装した状態を示す斜視図である。

【図9】従来技術として、一つのプリント基板に多数の半導体装置を積層した状態を示す断面図である。

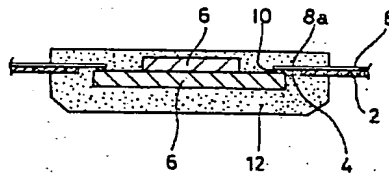
【符号の説明】

1…半導体装置、2…テープ基材、4…デバイスホール、6…半導体チップ、8…リード、8a…インナリード、12…封止材料、14…絶縁層。

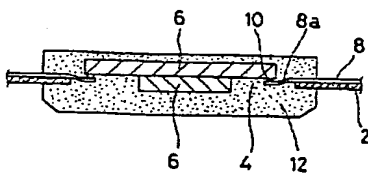
【図1】



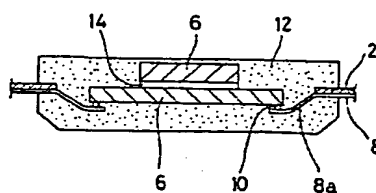
【図2】



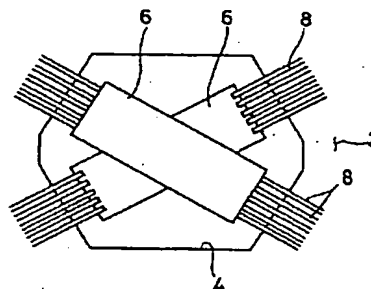
【図3】



【図4】



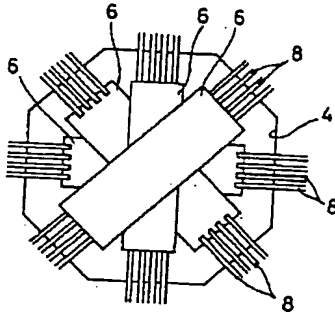
【図5】



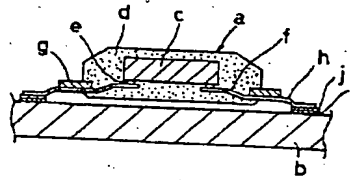
(4)

特開平5-21703

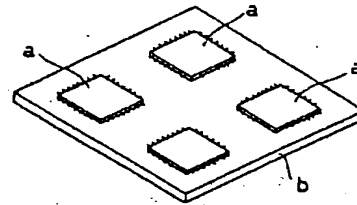
【図6】



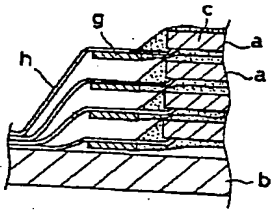
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁵

H01L 23/28

23/29

23/31

23/50

識別記号

庁内整理番号

F I

E 8617-4M

T 8617-4M

S 9272-4M

技術表示箇所